

## HARDWARE DE INTERFACE PARA TESTES E CARACTERIZAÇÃO DE CIRCUITO INTEGRADO DE AQUISIÇÃO DE IMAGENS

SAMUEL SERAFIM DA SILVA<sup>1</sup>, GUILHERME APARECIDO CUNHA<sup>2</sup>,  
GLAUCO R C FIORANTE<sup>3</sup>

<sup>1</sup> Técnico em Automação, Bolsista PIBIC-IFSP, IFSP, Câmpus Salto, samuel.serafim98@gmail.com.

<sup>2</sup> Técnico em Automação, Bolsista PIBIC-IFSP, IFSP, Câmpus Salto, xguilhermecunha@gmail.com

<sup>3</sup> PhD em microeletrônica pela University of New Mexico, USA, Professor EBTT, Câmpus Salto, glauco@ifsp.edu.br.

Área de conhecimento (Tabela CNPq): Circuitos Eletrônicos – 5.04.03.03-0

Apresentado no  
7º Congresso de Iniciação Científica e Tecnológica do IFSP  
29 de novembro a 02 de dezembro de 2016 - Matão-SP, Brasil

**RESUMO:** Não somente o IFSP está atualmente passando por uma grande mudança estrutural para o aumento de oferta de cursos, mas também globalmente a área de automação eletrônica está em uma nova fase de desenvolvimento e atuação tecnológica. O conhecimento sobre o projeto de placas de circuito impresso e a utilização de FPGAs através da linguagem Very High Speed Hardware Description Language (VHDL) é fundamental aos professores e alunos dos cursos com ênfase em Eletrônica, Automação, Eletro-eletrônica, Produção Industrial, etc... para aplicação em projetos e desenvolvimento de sistemas eletrônicos baseados nesta plataforma, como exigido pelo mercado de trabalho. Esta pesquisa apresenta o design e desenvolvimento de um hardware para interface dos níveis de tensões dos sinais analógicos e digitais oriundos de um sistema FPGA para controle de um circuito integrado VLSI de aquisição de imagem em testes e caracterização, bem como para a adequação do sinal analógico de imagem de saída deste chip para uma frame-grabber.

**PALAVRAS-CHAVE:** Hardware; Interface de hardware; testes de CIs; caracterização de CIs; aquisição de imagens; processamento de imagens.

## HARDWARE INTERFACE FOR TESTING AND CHARACTERIZATION OF IMAGE ACQUISITION INTEGRATED CIRCUIT

**ABSTRACT:** Not only the IFSP is currently undergoing a major structural change to increase course offerings, but also globally electronic automation area is in a new phase of development and technological performance. Knowledge of the printed circuit board design and use of FPGAs through language Very High Speed Hardware Description Language (VHDL) is essential to teachers and students of courses with emphasis in Electronics, Automation, Electrical, Industrial Production, etc. ... for use in design and development of electronic systems based on this platform, as required by the job market. This research presents the design and development of hardware for interfacing the voltage levels of the analog and digital signals from an FPGA system to control an image acquisition VLSI integrated circuit under testing and characterization as well as to adapt the analog signal level of this imaging chip output to a frame grabber.

**KEYWORDS:** Hardware; Hardware interface; IC testing; IC characterization; image acquisition; image processing.

## INTRODUÇÃO

Este projeto tem por objetivo iniciar as atividades de pesquisa científica na área de Microeletrônica através do desenvolvimento de um hardware para interfaceamento de sinais analógicos e digitais de controle e de saída de um circuito integrado de aquisição e processamento de imagens desenvolvido na tecnologia MOSIS CMOSHV 2P4M 0,35. Isto permitirá a continuidade de testes e caracterização do mesmo, como parte de um projeto a longo prazo para: (i) a implementação de um laboratório de design de circuitos integrados; (ii) o design de circuitos integrados dedicados à automação de sistemas; (iii) a implementação de um laboratório de testes e caracterização de circuitos integrados. (iv) o projeto e desenvolvimento de sistemas automatizados de testes e caracterização de circuitos integrados para aquisição e processamento de imagens; Este projeto objetiva também a futura portabilidade do sistema de aquisição de imagem, como evitar a necessidade de compra de computador, hardware e software, que possui um alto custo e também volumosos. Além disto, o equipamento desenvolvido contribuirá para o início da implementação de um Laboratório de Testes e Caracterização em Microeletrônica (LTCM) a ser compartilhado com todos os campi do Instituto Federal de São Paulo (IFSP). Visa-se também contribuir para a implementação de um laboratório de teste e caracterização em microeletrônica (LTCM), o qual poderá servir de referencia para criação de outros laboratórios na area de microeletrônica.

## MATERIAL E MÉTODOS

Os circuitos e sistemas eletrônicos, inicialmente constituídos de componentes discretos em arquiteturas específicas e imutáveis, foram substituídos na última década por sistemas analógicos e digitais totalmente configuráveis, tais como os Microcontroladores e os Dispositivos Lógicos Programáveis, Programmable Logic Devices (PLDs). O FPGAs tornaram-se também, separadamente, ferramentas de prototipagem rápida para sistemas de testes e caracterização de circuitos integrados. Os kits de desenvolvimento de FPGA disponíveis no mercado e utilizados nas referidas aplicações apresentam níveis fixos de tensão em suas entradas e saídas digitais, geralmente nos baixos valores de 2,5 V ou 3,3V, sendo, inclusive, estas as faixas de tensão de entrada e de saída dos conversores ADC e DAC, respectivamente.

A diversidade de valores de tensão dos sinais digitais e das faixas de tensões analógicas de entrada e saída dos circuitos integrados sob teste ou caracterização, geralmente na faixa de -7.5V a +7.5V, requerem circuitos adicionais para interfaceamento dos blocos e a adequação destes níveis às especificações operacionais. Estes blocos funcionais, ou módulos de PCIs, também necessitam apresentar-se adaptáveis às necessidades, com possibilidade de ajustes de valores de entrada e saída, bem como a facilidade de conexão por meio de conectores rápidos. Os módulos propostos não são encontrados comercialmente, justificando ainda mais o seu desenvolvimento neste projeto.

Para o desenvolvimento do projeto foi necessário um computador com acesso a internet para pesquisa de datasheet, tutoriais, apostilas, fornecedores de material, especificação e cotação de componentes eletrônicos. No computador foram instalados softwares de desenvolvimento de placas e circuito eletrônicos (PCIs) ou Printed Circuit Board (PCB) como o software EAGLE. Para que fossem testadas as placas e para fazer ensaios dos circuitos foi utilizado o software Quartus II 15.0 (64-bit) Web Edition e também o software ModelSim-Altera 10.3 (Quartus II 15.0), ambos disponíveis gratuitamente no site oficial da Altera, para desenvolvimento, simulação e programação de circuitos FPGA através da linguagem Very High Speed Circuit Hardware Description Language (VHDL).

Como infraestrutura para o projeto, foi utilizado o laboratório 208 do IFSP campus Salto, pois o laboratório é equipado com todos os recursos necessários para o desenvolvimento do projeto, tais como bancadas, computador, equipamentos de medição, fonte de alimentação, ferros de solda, osciloscópios. Possui também um kit de desenvolvimento de FPGA modelo DE-1 SoC, Este kit apresenta várias dip switches, chaves de acionamento e um chip FPGA da fabricante Altera.

Confome ilustrado na Fig. 1, o circuito integrado sob teste recebe sinais de clock e sincronismo para leitura dos pixels da imagem adquirida, cujo sinal analógico é enviado a uma frame-grabber para exibição no monitor de vídeo. O level shifter digital adequa os níveis digitais de baixa tensão para alta tensão necessários ao chip. O level shifter analógico adequa o sinal de saída de vídeo do chip para o range de entrada da frame-grabber.

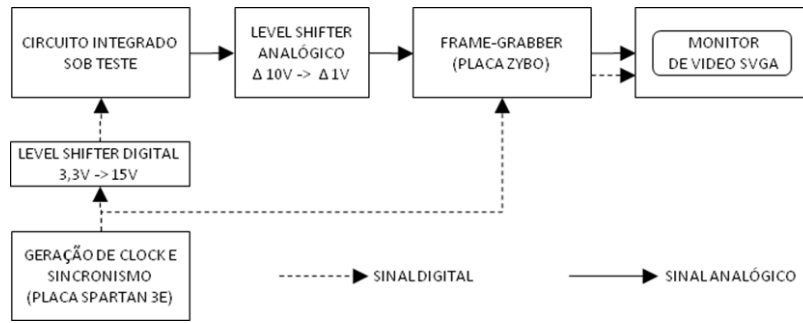


FIGURA 1- Diagrama de Blocos do sistema completo, salientando os blocos level shifters

A Fig. 2(a) apresenta um detalhamento do level shifter digital, de modo que haja a possibilidade de variação do sinal de saída tanto para o nível lógico baixo, através de um potenciômetro, como para o nível lógico alto, através de fonte de tensão externa.

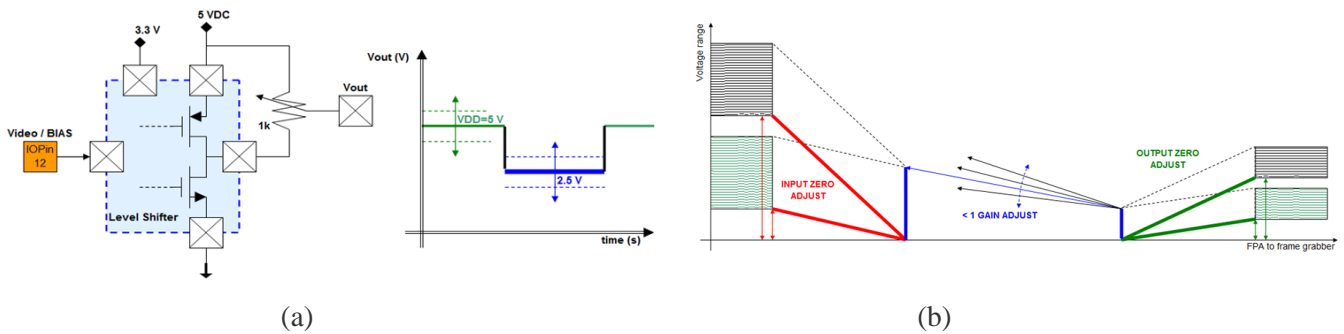


FIGURA 2- Detalhamento dos ajustes dos níveis de tensão (a) do pulso digital e (b) do sinal analógico

O level shifter analógico é utilizado para adequar o sinal analógico que vem do chip, cujo range de saída é de 10 a 15 Volts, para a entrada da frame-grabber, cuja faixa de tensão de entrada do ADC é de 0 a 1 Volt. A Fig. 2(b) ilustra graficamente os parâmetros de ajuste necessários no sinal.

## RESULTADOS E DISCUSSÃO

O circuito de level shifter digital foi desenhado no programa EAGLE e é ilustrado na Fig. 3. Este circuito de adequação de nível digital foi desenvolvido baseado no circuito integrado (CI) CD-40504B que trabalha com as tensões de alimentação de 3,3 a 15 Volts, faixa de tensão essencial para o funcionamento do circuito integrado sob teste.

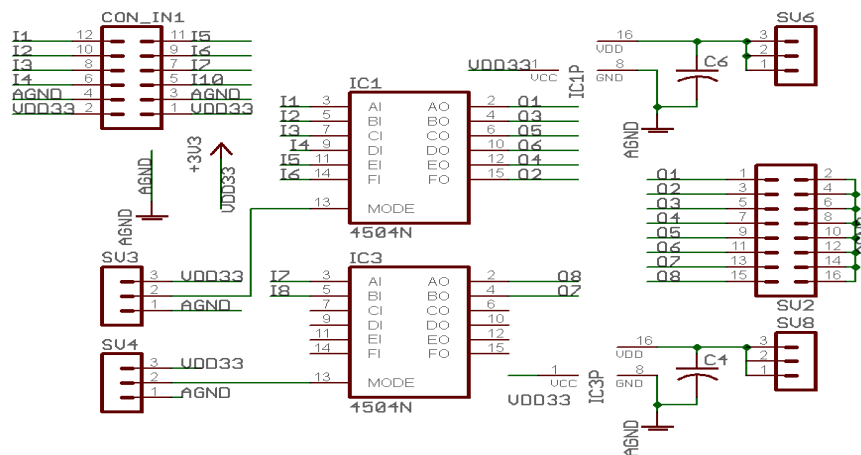


FIGURA 3. Circuito esquemático do level shifter de sinal digital.

O circuito level shifter analógico, ilustrado na figura 4, consta de um subtrator de tensão (IC2A), que retira o valor de zero do sinal de entrada, adequando-o para amplificação. O amplificador operacional IC2B opera como amplificador não inversor de ganho 1 a 10. O subtrator IC4A apresenta o ganho de 0,5 para o sinal do amplificador não inversor, de modo que o ganho total do circuito poderá ser ajustado de 0,5 a 5.

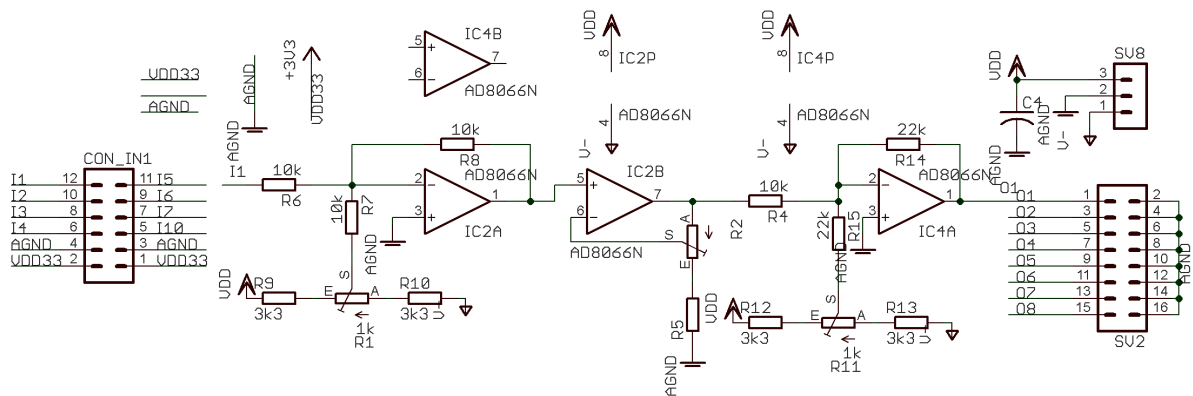


FIGURA 4- Circuito esquemático do level shifter de sinal analógico

A placa de circuito impresso desenhada no software EAGLE é apresentada na figura 5. Observa-se o posicionamento dos conectores dos sinais de entrada e saída nas bordas da PCB, visando facilitar a conexão da mesma com a placa FPGA.

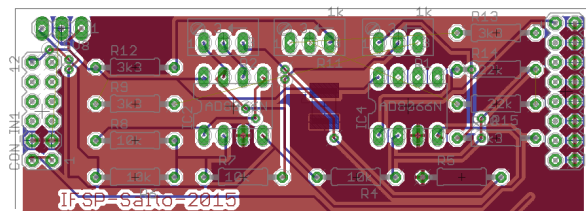


FIGURA 5- Placa de circuito impresso do level shifter de sinal analógico

## CONCLUSÕES

O circuito eletrônico do level shifter analógico foi montado em uma protoboard e apresentou funcionamento completamente adequado conforme as especificações desejadas. Um sinal DC somado ao sinal de entrada pode ser retirado através do ajuste do subtrator de entrada. A faixa de variação do sinal de tensão de entrada pode ser ajustado em ganho e o início de escala do sinal de saída também pode ser ajustado conforme desejado.

Infelizmente o projeto não foi concluído até sua etapa final, pois equipamentos como a Placa FPGA demorou para ser entregue já que foi doação da Altera. A pesquisa do projeto foi concluída até o teste do funcionamento do circuito eletrônico e a etapa do design da placa do level shifter analógico.

## AGRADECIMENTOS

Agradecemos o Programa Universitário Altera que proporcionou a doação de uma placa DE-1 Soc FPGA, que de outro modo não seria adquirido por nossa instituição, equipamento o qual permitirá a continuidade das pesquisas nesta área.

## REFERÊNCIAS

ALTERA.COM FPGAs <Disp://www.altera.com/products/fpga/ overview.html> Acessado em 13/08/2015.

CATHO <Disponível em: [http://v.CATHO.com.br/buscar/empregos/?State=resultado&tipoBusca=palavra\\_chave&perfil\\_id=1&q=FPGA&pais\\_id=31&where\\_search=1&how\\_search=2&inputDate=-1&faixa\\_sal\\_id=-1&faixa\\_sal\\_id\\_combinar=1#resultado](http://v.CATHO.com.br/buscar/empregos/?State=resultado&tipoBusca=palavra_chave&perfil_id=1&q=FPGA&pais_id=31&where_search=1&how_search=2&inputDate=-1&faixa_sal_id=-1&faixa_sal_id_combinar=1#resultado)> acessado: 27/04/2014.

EAGLE <Disponível em: <http://www.cadsoftusa.com/>> Acessado em 05/04/2015.

GLAUCO RC FIORANTE, PAYMAN ZARKESH-HA, JAVAD GHASEMI, SANJAY KRISHNA, "Spatio-temporal Tunable Pixels for Multi-Spectral Infrared Imagers," IEEE 56 MWSCAS, Agosto 2013,

GONZALEZ, R. C.; WOODS, R. E. Digital Image Processing. 2.ed. New Jersey: Prentice Hall, 2002.